



3/P. Pagen
Leurs
4/12/00 PATENT
Attorney Docket No. 4329.2210

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
)
Katsuhiko HIEDA et al.)
)
Serial No.: 09/469,190) Group Art Unit: 2812
)
Filed: December 21, 1999) Examiner: Unassigned
)
For: SEMICONDUCTOR DEVICE)
AND METHOD FOR)
MANUFACTURING THE SAME)

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM FOR PRIORITY

Sir:

Under the provisions of Section 119 of 35 U.S.C., Applicants hereby claim the benefit of the filing date of Japanese Patent Application Numbers 10-365491 and 11-336605, filed December 22, 1998 and November 26, 1999, respectively, for the above identified United States Patent Application.

In support of Applicants' claim for priority, certified copies of the priority applications are filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

By: _____

Richard V. Burgujian
Reg. No. 31,744

Dated: March 31, 2000

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1998年12月22日

出願番号
Application Number:

平成10年特許願第365491号

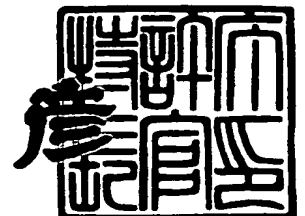
出願人
Applicant(s):

株式会社東芝

1999年10月 1日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3066064

【書類名】 特許願

【整理番号】 A009807413

【提出日】 平成10年12月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 稗田 克彦

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、

前記下部電極の上面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁体材料から構成された少なくとも 1 層のキャップ膜が形成されていることを特徴とする半導体装置。

【請求項 2】

前記下部電極の側面と前記キャップ膜の側面とが連続的に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記キャパシタセルの下部電極は、スタック型 DRAM のメモリセルに用いられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記キャパシタ絶縁膜は、 $(Ba, Sr)TiO_3$ から構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に、前記プラグ電極に接続し、上面のみに絶縁体からなる少なくとも 1 層のキャップ膜が形成された凸状の下部電極を形成する工程と、

前記下部電極の側面及び前記キャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に絶縁膜を形成する工程と、

前記絶縁膜に、前記プラグ電極が露出する開口部を形成する工程と、

前記開口部に下部電極を埋め込み形成する工程と、

前記下部電極の表面をほぼ均一に除去し、側面が前記絶縁膜、且つ底面が該電極である凹部を形成する工程と、

前記凹部に絶縁体からなる少なくとも1層のキャップ膜を埋め込み形成する工程と、

前記絶縁膜を除去し、凸状の前記下部電極及びキャップ膜の積層構造を露出させる工程と、

前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に下部電極、及び絶縁体からなる少なくとも1層のキャップ膜を順次積層する工程と、

前記プラグ電極を含む領域の前記キャップ膜上に選択的にマスクパターンを形成する工程と、

前記マスクパターンをマスクに前記下部電極及びキャップ膜を選択的にエッチングして前記層間絶縁膜を露出させると共に、前記下部電極及びキャップ膜の積層構造を凸状に成形する工程と、

前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、凸状の下部電極を覆うようにキャパシタ絶縁膜及び上部電極が積層された構造のキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路の高集積化に伴い、最小加工寸法の微細化と共にメモリセル面積の微細化は進む一方である。それにつれて、メモリセルにおけるキャパシタ面積は非常に小さくなってきている。メモリセル面積が小さくなるとキャパシタ容量（蓄積容量Cs）も小さくなってしまいが、キャパシタ容量はセンス感度、ソフトエラー、回路ノイズ等の点から一定値以上の値が必要である。これを解決する方法として、キャパシタを3次元的に形成して小さなセル面積でキャパシタ表面積をできるだけ大きくしてキャパシタ容量を稼ぐ方法と、キャパシタ絶縁膜に誘電率が高い絶縁膜（いわゆる高誘電体膜）を用いる方法との二つの方法が検討されている。

【0003】

0.15 μ m以下のデザインルール世代（1GビットDRAM世代相当以降）になってくると、複雑な3次元形状をした蓄積（SN: Storage Node）電極の加工は、微細な加工を必要するのでだんだんと難しくなっている。そこで、キャパシタ容量を稼ぐ方法として、キャパシタの3次元化を図ると共に、キャパシタ絶縁膜に誘電率の高い絶縁膜を用いることが非常に重要になってきている。

【0004】

誘電率が高い絶縁膜として代表的なものに（Ba, Sr）TiO₃（以下BST膜）がある。BST膜を用いる場合、SN電極にはBST膜の成膜途中で酸素雰囲気を用いるので工程途中で酸化されても導電性を示すRu膜（RuO₂膜は導電性）、又はRuO₂膜/Ru膜の積層膜を用いる検討が行われている（1995年IDEM Technical Digest, S.Yamamichi等、p.119-p.122）。

【0005】

RuO_2 膜/ Ru 膜の積層膜を SN 電極としたスタック型 DRAM のキャパシタ構造を図 10 を用いて説明する。まず、p 型 Si 基板 11 上に素子分離領域 12 を形成した後、トランジスタのゲート絶縁膜 13、ゲート電極（ワード線）14、ゲートキャップ層 15、ソース/ドレイン拡散層 16、側壁絶縁膜 17 及びエッチングストッパ膜 52 を形成し、層間絶縁膜 53 を堆積して平坦化した後、SN 電極コンタクトとビット線コンタクトの領域にポリ Si プラグ 107a、107b を埋め込み形成し、その後層間絶縁膜 53 を介してビット線 20 を形成する。その後さらに層間絶縁膜 111 を堆積した後、表面を平坦化し、SN コンタクトホールを開口し、 n^- 型ポリ Si プラグ 112 を埋め込む。そして、SN 電極用の積層膜として、下方から順に TiSi_x 膜 113、TiN 膜 114、Ru 膜 115、 RuO_2 膜 116 を積層成膜した後、レジストを用いた通常のリソグラフィ法と RIE 法を用いて下部電極のパターニングを行う。レジストを除去した後、BST 膜などの高誘電率体からなるキャパシタ絶縁膜 117 を成膜し、さらに上部電極 118（例えば TiN 膜/ Al 膜の積層膜）を形成する。

【0006】

このような SN 電極構造においては、SN 電極の上部コーナーが鋭角となり、コーナー部における電界集中により、キャパシタ絶縁膜のリーク電流が増大する問題がある。

【0007】

また、図 11 に示すように、Si 基板 11 上に形成された凸状の TEOS 膜に沿って形成された SrRuO_3 電極（SN 電極に相当）122 の上部コーナーにおいて、BST 膜 123 の結晶の配向性が大きく変化し、結晶に歪みが入り非常にリーク電流の大きなキャパシタ絶縁膜となり、キャパシタ絶縁膜の薄膜化を阻害する制限要因となっている。

【0008】

【発明が解決しようとする課題】

上述したように、スタック型のキャパシタでは下部電極のコーナー部において、電界集中が生じることによって、リーク電流が増大するという問題があった。

【0009】

また、下部電極のコーナー部において、キャパシタ絶縁膜の配向性が大きく変化することによって結晶に歪みが生じるために、キャパ絶縁膜の薄膜化を阻害し、キャパシタ容量の増大を阻害していた。

【0010】

本発明の目的は、下部電極コーナー部における電界集中及びキャパ絶縁膜の配向性の変化を抑制し、キャパシタ容量の増大を図り得る半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

〔構成〕

本発明は、上記目的を達成するために以下のように構成されている。

【0012】

(1) 本発明(請求項1)の半導体装置は、半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、前記下部電極の上面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁体材料から構成された少なくとも1層のキャップ膜が形成されていることを特徴とする。

【0013】

本発明の好ましい実施態様を以下に記す。

【0014】

キャップ膜とキャパシタ絶縁膜とは異なる絶縁材料で構成されている。

【0015】

前記下部電極の側面と前記キャップ膜の側面とが連続的に形成されている。

前記キャパシタセルの下部電極は、DRAMのメモリセルのトランジスタのソース／ドレイン領域に電氣的に接続され、該キャパシタセルはDRAMのメモリセルを構成する。

前記キャパシタ絶縁膜は、 $(Ba, Sr)TiO_3$ から構成されている。

(2) 本発明(請求項5)の半導体装置の製造方法は、半導体基板上に、表面

の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記プラグ電極に接続し、上面のみに絶縁体からなる少なくとも1層のキャップ膜が形成された凸状の下部電極を形成する工程と、前記下部電極の側面及び前記キャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【0016】

(3) 本発明(請求項6)の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に絶縁膜を形成する工程と、前記絶縁膜に、前記プラグ電極が露出する開口部を形成する工程と、前記開口部に下部電極を埋め込み形成する工程と、前記下部電極の表面をほぼ均一に除去し、側面が前記絶縁膜、且つ底面が該電極である凹部を形成する工程と、前記凹部に絶縁体からなる少なくとも1層のキャップ膜を埋め込み形成する工程と、前記絶縁膜を除去し、凸状の前記下部電極及びキャップ膜の積層構造を露出させる工程と、前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【0017】

(4) 本発明(請求項7)の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に下部電極、及び絶縁体からなる少なくとも1層のキャップ膜を順次積層する工程と、前記プラグ電極を含む領域の前記キャップ膜上に選択的にマスクパターンを形成する工程と、前記マスクパターンをマスクに前記下部電極及びキャップ膜を選択的にエッチングして前記層間絶縁膜を露出させると共に、前記下部電極及びキャップ膜の積層構造を凸状に成形する工程と、前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【0018】

〔作用〕

本発明は、上記構成によって以下の作用・効果を有する。

【0019】

下部電極の上部表面上には絶縁体からなるキャップ膜が形成されていることによって、下部電極の上端部においては鋭角なコーナー部が存在しなくなるので、電界集中が生じず、リーク電流が増大するということがない。

【0020】

また、下部電極の側部では、キャパシタ絶縁膜の配向性が大きく変化することはないので、キャパ絶縁膜の薄膜化をすることができ、キャパシタ容量の増大を図ることができる。

【0021】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

〔第1実施形態〕

図1は、本発明の第1実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図である。なお、図1(a)はDRAMの平面図、同図(b) A-A'部の断面図である。

【0022】

例えばp型のSi基板11の表面に、溝に絶縁膜が埋め込み形成された素子分離領域12が設けられている。素子分離領域12上、又はSi基板11上のゲート絶縁膜13を介して、ポリSi膜14a及びWSi₂膜14bが積層されたワード線（ゲート電極）14が形成されている。本実施形態では、抵抗を小さくするために、いわゆるポリサイド構造の多層膜からなるゲート電極の例を述べているが他の構造、例えば単純なポリSi層のみやポリSi層とW膜を用いた積層構造でも良い。

【0023】

ゲート電極14上にシリコン窒化膜からなるゲートキャップ層15が形成されている。素子領域のSi基板11の表面に、ゲート電極14を挟むように、ソース/ドレイン拡散層16が形成されている。ゲート電極14及びゲートキャップ層15の積層構造の側部に側壁絶縁膜17が形成されている。隣接する側壁絶縁膜17と図示されていないBP SG膜とから側壁が構成されたコンタクトホール

にポリ Si からなるポリ Si コンタクト 19 (SN コンタクト 19 a, BL コンタクト 19 b) が埋め込み形成されている。なお、ゲートキャップ層 15, ポリ Si コンタクト 19 及び図示されていない第 1 の BPSG 膜の表面は平坦化されている。

【0024】

全面に第 2 の BPSG 膜 21 及び TEOS 酸化膜 22 が順次積層されている。第 2 の BPSG 膜 21 中に、断面図には図示されていないが、BL コンタクト 19 b に BL コンタクトプラグ 18 を介して接続するビット線 20 が形成されている。なお、以下では第 2 の BPSG 膜 21 及び TEOS 酸化膜 22 が積層された構造をまとめて層間絶縁膜 21, 22 と称する。

【0025】

層間絶縁膜 21, 22 に形成された SN コンタクトホールに W プラグ 26 及びバリアメタル 27 が積層されている。なお、バリアメタル 27 及び TEOS 酸化膜 22 の表面は平坦化されている。

【0026】

層間絶縁膜 21, 22 上にバリアメタル 27 に接続する SN 電極 (下部電極) 28 が形成されている。SN 電極 28 上には、絶縁体からなる SN キャップ膜 (キャップ膜) 29 が形成されている。なお、SN 電極 28 の側部と SN キャップ膜 29 の側部は連続的に形成されている。

【0027】

SN 電極 28 が形成されていない TEOS 酸化膜 22 上にはシリコン窒化膜 30 が形成されている。SN 電極 28, SN キャップ膜 29 及びシリコン窒化膜 30 の表面を覆うように、(Ba, Sr) TiO₃ (BST) 膜 31 が形成されている。BST 膜 31 上に、表面が平坦化された SRO 膜からなるプレート電極 (上部電極) 32 が形成されている。プレート電極 32 上に、PL キャップ膜 33 を介して層間絶縁膜 34 が形成されている。

【0028】

本実施形態のキャパシタによれば、以下のような作用効果を有する。

1. SN 電極 28 の側部と SN キャップ膜 29 の側部は連続的に形成されている

ので、S N電極の側面及び上部平面の間にできる鋭角コーナーによる電界集中を防止できるのでキャパシタ絶縁膜のリーク電流を低減することができる。

【0029】

2. S N電極の上部平面が絶縁膜で覆われているので、キャパシタ絶縁膜を化学気相成長法で成膜する場合、化学気相成長膜がS N電極上部平面部に側面に比べて厚膜に成膜されることを防止することができるため、キャパシタ絶縁膜のカバレッジ（S N電極側面における膜厚均一性）が向上することによりキャパシタ絶縁膜の薄膜化を実現でき、キャパシタ容量を増加させることができる。

【0030】

3. S N電極の側面において、B S T膜の配向性が変化せずに揃っているので、キャパシタ絶縁膜の特性（リーク電流、比誘電率等）の均一性が向上しD R A M素子としての歩留まりが向上する。

【0031】

次に、図1に示したS N電極構造を有するD R A Mメモリセルの製造工程について説明する。図2～6は、図1に示したスタック型D R A Mのメモリセルの製造工程を示す工程図である。

【0032】

まず、図2（a）に示すように、例えば不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の（100）面のp型シリコン基板11又はN型シリコン基板の表面に、nチャネルトランジスタ形成領域にはpウェル、またpチャネルトランジスタ形成領域にはnウェルを形成する（不図示）。次いで、例えば反応性イオンエッチング（R I E）を用いて、素子領域以外の領域にS i基板に深さ0.2 μm 程度の溝を掘りこんだ後に溝に絶縁膜を埋め込み、いわゆるS T I（Shallow Trench Isolation）技術を用いた素子分離絶縁領域12を形成する。

【0033】

次いで、トランジスタのゲート絶縁膜として厚さ60 nm程度のゲート酸化膜13を形成する。そして、ポリS i膜14a及びW S i₂膜14bを順次積層する

次いで、W S i₂膜14b上に、後工程の自己整合工程時のエッチングストッ

パ層となるシリコン窒化膜 (Si_3N_4 膜) からなるゲートキャップ層 15 を形成する。その後、ゲートキャップ層 15 上に図示されないレジストパターンを形成し、続いてレジストパターンをマスクに用いてゲートキャップ層 15 を加工してレジストパターンを除去した後、ゲートキャップ層 15 をマスクとして、 WSi_2 膜及びポリ Si 膜をパターニングすることによって、メモリセル部ではワード線となるゲート電極 14 を形成する。

【0034】

次いで、ゲート電極 14 と後に形成される低濃度の不純物拡散層 (ソース/ドレイン拡散層) との耐圧を向上させるために、例えば、酸素雰囲気中で 1050°C 100 秒程度の RTO (Rapid Thermal oxidation) 法による急速熱酸化を行い、いわゆる後酸化膜 (不図示) を形成する。

【0035】

レジストパターンを形成した後、この後レジストパターン、ゲートキャップ層 15、ゲート電極 14 をマスクとして、ソース/ドレイン拡散層 16 となる n^- 型不純物拡散層を Si 基板 1 の所望の領域の表面に例えばイオン注入法により形成する。

【0036】

そして、全面にシリコン窒化膜 (Si_3N_4 膜) を LP-CVD 法により堆積した後、全面に対して RIE 法を用いたエッチングを行い、ゲート電極 14 の側壁部に側壁絶縁膜 17 を形成した後、レジストマスクと側壁絶縁膜 17 及びゲートキャップ層 15 とをマスクにして所望の領域にイオン注入を行ってソース/ドレイン拡散層 16 となる n^+ (又は p^+) 型不純物拡散層を形成する。そして、全面に、エッチングストッパとして例えば膜厚 20 nm 程度のシリコン窒化膜 (Si_3N_4 膜) 52 を LP-CVD 法により堆積する。なお、図 2 (a) では、側壁絶縁膜 17 とストッパシリコン窒化膜 52 とを、同じ層として図示している。

【0037】

その後、さらに全面に層間絶縁膜として例えば第 1 の BPSG 膜 53 を CVD 法で約 500 nm 堆積した後、その表面を例えば CMP 法を用いてゲートキャッ

層15上のBP SG膜53の膜厚が100nm程度になるように全面を研磨して平坦化する。このCMP法を用いた平坦化により、ウェハ全面がほぼ全面にわたって平坦化される。

【0038】

次いで、図2(b)に示すように、リソグラフィを用いて第1のBP SG膜53上に形成したレジスト54をマスクに、ソース/ドレイン拡散層16とビット線及びSN電極部とのコンタクトをとるためのコンタクトホール10を形成する。このコンタクトホールの形成には、BP SG膜のエッチングレートがシリコン窒化膜のエッチングレートに対し10倍以上早い高選択比RIEを用いて、自己整合的に行う。このようにすることによって、ゲート電極14とこの後コンタクトホールに埋め込まれる n^+ 型ポリSiコンタクト(11a, b)とのショートを防ぐことができ、製品の歩留まりを向上させることができる。

【0039】

また、このときのレジストパターンは穴パターンではなく、例えばゲート電極14上の側壁絶縁膜17と矩形のレジスト54を用いて所望のプラグ用のコンタクトホールを形成する。このような加工法を用いると穴パターンがレジストを使って形成する穴パターンのような丸形のパターンとならず、矩形の穴を形成でき大きな面積の開口面積を実現できるというメリットがある。

【0040】

次いで、図3(c)に示すように、レジスト54を除去した後、全面にリン(P^+)や砒素(As^+)等を不純物としてドーピングした n^- 型のポリSi層をLP-CVD法により堆積した後、CMP法やRIEを用いたエッチバック法を用いてコンタクトホールに n^+ 型のポリSiコンタクト19を完全に埋め込み形成する。この埋め込まれた n^+ 型のポリSiコンタクト19は、ソース/ドレイン拡散層16と電氣的に接続されている。この時、隣接するポリSiプラグ19がショートしない様に、ゲートキャップ層15と同じか、それよりも浅い高さになるように埋め込む。

【0041】

次いで、図3(d)に示すように、層間絶縁膜として例えば第2のBP SG膜

21を全面にCVD法により例えば300nm程度堆積し、さらにその上にCMP時のエッチストップ層としてTEOS酸化膜22を100nm程度CVD法により堆積する。そして、層間絶縁膜21、22に、BLコンタクト19bに接続するBLコンタクトホールを通常のリソグラフィ法とRIE法を用いて開孔した後、BLコンタクトホールに接続する深さ350nm程度のライン状の溝を形成する。そして、例えばW膜/TiN膜/Ti膜等の積層膜を層間絶縁膜21、22中に形成した深さ350nm程度のライン状の溝及びBLコンタクトホール中に、いわゆるCMP法を用いたデュアル・ダマシン工程(Dual damascene工程)を用いて、BLコンタクトホール中に埋め込まれたBLコンタクトプラグ18と、BLコンタクト19bにBLコンタクトプラグ18を介して電氣的に接続するビット線20を形成する。

【0042】

そしてさらに、溝中に埋め込んだビット線20の表面を例えば100nm程度エッチング除去してから、全面にシリコン窒化膜を300nm程度堆積し、CMP法やCDE(Chemical Dry Etching)法等によりビット線20の表面にのみシリコン窒化膜を選択的に形成する。

【0043】

なお、ビット線20を埋め込み形成する前に周辺回路部のコンタクト領域にも通常のリソグラフィ法とRIE法を用いて、コンタクトホールとメモリセル部のビット線を形成するときに用いる溝を予め形成しておく。この様にすると、デュアル・ダマシン工程を用いてビット線を形成する際に、周辺回路部のコンタクトにもソース/ドレイン拡散層と電氣的に接続されたコンタクト・プラグを同時に形成することができる。

【0044】

次いで、図4(e)に示すように、通常のリソグラフィとRIE法を用いて、層間絶縁膜21、22にSNコンタクト19aに接続するコンタクトホールを開孔し、例えばW膜/TiN膜/Ti膜等の積層膜を全面に堆積した後、CMP法などによりTEOS酸化膜22上の積層膜を除去して、コンタクトホール内のみSNメタル・プラグ用のWプラグ26を埋め込み形成する。Wプラグ26は、

n^+ 型の SN コンタクト 19a を介してソース/ドレイン拡散層 16 と電氣的に接続されている。コンタクトホールの開孔にはビット線 20 上のシリコン窒化膜とレジストをマスクとして用いて所望の微細なコンタクトホールをビット線間の微細な領域に形成する。この段階では、メモリセル部も周辺回路部も平坦になっている。

【0045】

次いで、図 4 (f) に示すように、露出した W プラグ 26 を CDE 法により、約 30 nm 程度エッチバック (リセス) を行った後、例えばスパッタ法等を用いてバリアメタル 27 (TiN 膜、TiSiN 膜、TiAlN 膜、TaSiN 膜、 WSi_2 膜、TiCN 膜等) を形成した後、CMP 法等を用いて表面を研磨することにより、W プラグ 26 が除去されて形成された窪みにバリアメタル 27 を選択的に埋め込み形成する。

【0046】

次いで、図 5 (g) に示すように、全面に例えば 20 nm 程度の膜厚のシリコン窒化膜 (Si_3N_4 膜) 30 と例えば TEOS 酸化膜 55 を 400 nm 程度堆積する。次に、SN 電極の形成領域に溝を有するレジスト 56 をマスクに RIE 法を用いて、TEOS 酸化膜 55 とシリコン窒化膜 30 とをエッチングし、層間絶縁膜 22 中に埋め込み形成されているバリアメタル 27 の表面を露出させる。このとき、TEOS 酸化膜 55、シリコン窒化膜 30 のエッチング角度はほぼ 90 度になるように注意する。

【0047】

このエッチングは TEOS 酸化膜 55 のエッチングはシリコン窒化膜 30 をストッパ層として RIE 法で行い、次にシリコン窒化膜 30 を選択的にエッチングするような条件に変更して行くと TEOS 酸化膜 22 を適度にオーバーエッチングすることなく SN 電極パターンの溝を形成することができる。このとき、周辺回路部等のエッチングしたくない領域はレジスト 56 で覆っておけばエッチングされない。

【0048】

次いで、図 5 (h) に示すように、レジスト 56 を除去した後、露出した溝底

部のバリアメタル 27 の表面を含む全面に、スパッタ法又は CVD 法を用いて例えばペロブスカイト結晶構造を持った金属酸化膜： SrRuO_3 （以下 SRO と記）膜を例えば 400 nm 程度の膜厚で堆積し、その後例えば CMP 法やエッチバック法を用いて平坦化し、溝部に SN 電極 28 を埋め込み形成する。このとき、SN 電極 28 は溝部に埋め込み形成されるため、メモリセル部と周辺回路部には段差が生じないように形成することができる。

【0049】

ここでは SN 電極 28 の材料として SRO 膜について述べたが、この他にも RuO_2 膜や Pt 膜、Re 膜、Os 膜、Pd 膜、Rh 膜、Au 膜、Ir 膜、 IrO_2 膜などを用いることができる。また、各金属膜のグレインを他の金属膜、例えば Rh や Ir でスタッフィングしたような膜でも良い。

【0050】

次に、図 6 (i) に示すように、TEOS 酸化膜 55 の表面に露出した SN 電極 28 を例えばウェットエッチング法等を用いて、約 50 nm 程度エッチバック（リセス）を行った後、CVD 法を用いてシリコン窒化膜を堆積する。次に、CMP 法等を用いて平坦化することにより、SN 電極 28 が除去された窪みに SN キャップ膜 29 を選択的に埋め込み形成する。

【0051】

SN キャップ膜 29 の膜厚は後の工程で形成する BST 膜の膜厚や結晶の配向性の分布（例えば図 11 参照）に依存し、おおよそ BST 膜厚の 1 倍以上が望ましい。SN キャップ膜 29 の膜厚を BST 膜の 1 倍以上にすることによって、BST 膜の配向性が SN 電極の上部端部で変化することを防止することができる。

【0052】

次いで、図 6 (j) に示すように、例えば周辺回路部のように TEOS 酸化膜 55 を除去したくない領域をレジストで覆い、TEOS 酸化膜 55 を例えば NH_4F 液等のウェットエッチング溶液を用いて選択的に除去した後、レジストを除去する。このとき、ウェットエッチングは TEOS 酸化膜 55 の下のシリコン窒化膜 30 でエッチングがストップする。この様にすると、メモリセル部の SN 電極表面の高さとメモリセル部以外の TEOS 酸化膜の表面の高さが揃い、SN 電

極の有無によるメモリセル領域とメモリセル領域以外の領域の段差をほぼなくすることができる。スタック構造のDRAM製造工程においては、段差を小さくすることが重要な工程である。

【0053】

また、このとき、SN電極28の上部平面にはSNキャップ膜29が残置されSN電極28の上部平面のコーナー角度は鋭角であるがSN電極28の側面はSNキャップ膜29の存在により側面のみの平面状態となり、電界集中の問題を回避できる構造となっている。即ち、SN電極28の形状による電界集中を緩和することができる、キャパシタ絶縁膜の耐圧劣化に与える影響を小さくすることができる。また、SN電極28の側面の表面はTEOS酸化膜55のエッチングされた溝の表面が転写されたものになる。即ち、従来メタルなどの場合に困難であったエッチング面の制御によらず、エッチング面が比較的滑らかな酸化膜エッチング面がSN電極面に転写されることになり、滑らかなSN電極側壁面を実現することができる。このことにより、SN電極側面の荒れによる電界集中によるキャパシタ絶縁膜でのリーク電流の増加を抑制することができる。また、SN電極28の底部側面にはシリコン窒化膜30が存在しており、このシリコン窒化膜30によってSN電極28の底部コーナーの影響は回避されている。即ち、キャパシタの電極としてはSN電極の側面のみを使用することになる。

【0054】

そして、図1に示すように、BST膜31を例えばCVD法で全面に20nm程度の膜厚になるように堆積し、さらに必要であればBST膜の結晶化アニールを行い、さらに例えばSRO膜32を例えばCVD法で全面に40nm程度堆積して、キャパシタの上部電極：プレート電極を形成する。さらに全面にPL（プレート）キャップ膜33として例えばTiN膜等を50nm程度の膜厚例えばスパッタ法などで形成する。その後、上部電極（プレート電極32とPLキャップ膜33）を通常のリソグラフィとRIE法などを用いてパターンニングする。このとき、周辺回路領域などのようにプレート電極がない領域とメモリセル領域の間に段差が発生することになる。

【0055】

ここで、プレート電極 32 としては、SRO 膜の代わりに、例えば Ru 膜、Pt 膜、Re 膜、Ir 膜、Os 膜、Pd 膜、Rh 膜、Au 膜などの貴金属導電膜、又はそれらの金属酸化膜、SRO 膜以外のペロブスカイト型の導電性金属酸化膜等を用いることが可能である。さらに、全面に例えばプラズマ TEOS 酸化膜などの層間絶縁膜 34 を膜厚 400 nm 程度 CVD 法で堆積し、CMP 法で再び全面が平坦になるように平坦化を行う。これにより、メモリセル部と周辺回路部などの段差をなくすことができる。

【0056】

この後、図示はしないが、所望の領域にコンタクト孔を開孔し、メタル配線を形成する。もし、必要ならば複数層のコンタクト、メタル配線を形成し、パッシベーション膜を形成して、パッドコンタクトを開けて DRAM を完成させる。

【0057】

本実施形態では、W プラグ 26 と SN 電極 28 との間にバリアメタル層として TiN 膜などの例について述べたが、TiN 膜/Ti 膜のような積層膜や WSi₂ 膜、Nb 膜、Ti 膜などのように金属膜、或いはこれらのシリサイド膜、又はこれらの窒化物膜（例えば WN 膜など）の化合物からなる導電膜を W プラグ 26 の溝の中の一部に埋め込み形成して用いることが重要である。バリアメタル材料に求められる性質は、メタルプラグ材料（例えば W 膜や TiN 膜）と SN 電極材料（SRO 膜や Ru 膜など）の反応バリア性と耐酸化性である。この様な性質を満たす材料であればここに記述していないまでも使用することができる。

【0058】

本実施形態のキャパシタセル、上述したような SN 電極構造をとることにより、

1. SN 電極 28 の側部と SN キャップ膜 29 の側部は連続的に形成されているので、SN 電極の側面及び上部平面の間にできる鋭角コーナーによる電界集中を防止できるのでキャパシタ絶縁膜のリーク電流を低減することができる。

【0059】

2. SN 電極の上部平面が絶縁膜で覆われているので、キャパシタ絶縁膜を化学気相成長法で成膜する場合、化学気相成長膜が SN 電極上部平面部に側面に比べ

て厚膜に成膜されることを防止することができるため、キャパシタ絶縁膜のカバレッジ（SN電極側面における膜厚均一性）が向上することによりキャパシタ絶縁膜の薄膜化を実現でき、キャパシタ容量を増加させることができる。

【0060】

なお、SN電極の上面とプレート電極との間には、絶縁膜として（Ba，Sr）TiO₃ 膜とキャップ膜の2種類の膜が形成され、膜厚が側部より厚くなっており、キャパシタ容量の低下が懸念される。しかし、スタック型のキャパシタの容量の90%以上はキャパシタの側部であり、上面の容量は小さいので、キャップ膜の形成による電解集中及びリーク電流の抑制により、キャパシタ容量が増大する。

【0061】

3. SN電極の側面において、BST膜の配向性が変化せずに揃っているので、キャパシタ絶縁膜の特性（リーク電流、比誘電率等）の均一性が向上しDRAM素子としての歩留まりが向上する。
などの効果がある。

【0062】

[第2実施形態]

図7は、本発明の第2実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図である。なお、図7は、図1（b）の断面図に相当する。なお、本実施形態は、SN電極の形成方法が第1実施形態と異なる。

【0063】

第1実施形態の図4（f）を用いて説明した工程の後、図7（a）に示すように、全面にSRO等からなるSN電極材料71とSNキャップ膜72を例えばスパッタ法やCVD法により堆積する。次いで、図7（b）に示すように、通常のレジスト73を用いたリソグラフィによりSN電極パターンのレジスト膜を用いて下地SNキャップ膜72、SN電極71をRIE法やCDE法やウェットエッチング法などを用いてエッチングを行い、SN電極17を形成する。このようにすると、SNキャップ膜72とSN電極71を自己整合的に同じ形状に加工できる。この後、レジスト膜73を剥離した後、BST膜、プレート電極を順次成膜

する。

【0064】

第1実施形態ではSN電極パターンの溝にSN電極材料を埋め込みSN電極材料を埋め込みSN電極を形成する例であったが、第2実施形態ではSN電極をレベソソマスクで加工する例である。いずれにしてもSN電極の上部平面部にSNキャップ膜を形成し、コーナーの電界集中を防止することが可能である。

【0065】

〔第3実施形態〕

図8は、本発明の第3実施形態に係わるスタック型DRAMのメモリセルのSN電極周りのみを抽出した部分の概略構成を示す断面図である。なお、本実施形態は、SN電極の構造が第1及び第2実施形態と異なる。

【0066】

第1及び第2実施形態において、SN電極の上部平面はSNキャップ膜が存在するのでSN電極の上部コーナーの電界集中は防止することができる。しかし、SN電極の底部コーナーにおけるBST膜の結晶の配向性の変化によるBST膜リーク電流の増加が懸念される。

【0067】

このため、本実施形態では、SN電極28の側面の延長上のTEOS酸化膜22をSN電極28に沿って掘り込み、SN電極28の側面が、SNキャップ膜29とTEOS酸化膜22に挟まれて完全に平面となるような構造を実現している。

【0068】

製造方法としては、SN電極28の加工時に引き続いて、TEOS酸化膜22を例えばBST膜31の膜厚の1倍から3倍程度例えばRIE法を用いてエッチングする。

【0069】

このようにすると、SN電極28の側面が上部も下部も絶縁膜に挟まれた構造となり、側面は連続した平面構造となり、BST膜の結晶化時にも結晶の配向性は均一に実現でき、配向性の変化によるBST膜のリーク電流を著しく低減する。

ことができる。

【0070】

〔第4実施形態〕

図9は、本願発明の第4実施形態に係わるスタック型DRAMのメモリセルのSN電極周りのみを抽出した部分の概略構成を示す断面図である。なお、第1～3実施形態との違いはSN電極の構造の違いである。

【0071】

本実施形態においては、溝（Concave）型のSN電極構造におけるSNキャップ膜の形成方法について提案する。

図5（g）を用いて説明した工程の後、レジスト56を除去した後、Concave型のSN電極92を例えばCVD法を用いて約20nmの膜厚で堆積し、TEOS酸化膜55溝の中の窪みにSOG膜等の材料を埋め込みSN電極材料をCMP法によりTEOS酸化膜55上のSN電極材料をエッチング除去し、溝の中のみにSN電極を形成するものである。この時、SN電極は溝内壁のSN電極側面と二つの平面部（絶縁膜と同じ高さの平面部と溝底部の平面部）が存在する。そこで、ここでは、窪みに埋め込んだSOG膜を除去する前にSN電極材料を例えばウエットエッチング法等を用いて選択的にエッチバック（リセス）を行い、約40nm程度後退させる。その後、全面にシリコン窒化膜等をCVD法で堆積し、引き続きCMP法を用いてSN電極の絶縁膜と同じ高さの平面部の領域にのみSNキャップ膜93を選択的に形成する。この後、SOG膜を除去し、BST膜94、プレート電極95を形成し、キャパシタが完成する。

【0072】

このようにすると、Concave型のSN電極においてSN電極の上部側面がSNキャップ膜により平坦になり、電界の集中の影響を緩和することができる。

【0073】

なお、本発明は、上記実施形態に限定されるものではない。例えば、なお、上記実施形態では、キャパシタ絶縁膜としてBST膜の例を述べたが、高誘電率を持つ絶縁膜であれば良いので、ほかの膜、例えば $Pb(Zr, Ti)O_3$ 膜やS

rTiO₃ 膜などでも良い。

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0074】

【発明の効果】

以上説明したように本発明によれば、前記下部電極の上部表面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁体材料から構成された少なくとも1層のキャップ膜が形成されていることによって、下部電極コーナ一部における電界集中及びキャパ絶縁膜の配向性の変化が抑制され、キャパシタ容量の増大を図り得る。

【図面の簡単な説明】

【図1】

第1実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図。

【図2】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図3】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図4】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図5】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図6】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図7】

第2実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図。

【図8】

第3実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図。

【図9】

第4実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図。

【図 10】

従来のスタック型DRAMのメモリセルの概略構成を示す図。

【図 11】

スタック型DRAMのメモリセルの問題点を説明する図。

【符号の説明】

- 11…Si基板（半導体基板）
- 12…素子分離絶縁領域
- 13…ゲート絶縁膜
- 14…ゲート電極
- 15…ゲートキャップ層
- 16…ドレイン拡散層
- 17…側壁絶縁膜
- 18…BLコンタクトプラグ
- 19…ポリSiプラグ（19a…SNコンタクト，19b…BLコンタクト）
- 20…ビット線
- 21…BPSG膜
- 22…TEOS酸化膜
- 26…Wプラグ
- 27…バリアメタル
- 28…SN電極（下部電極）
- 29…SNキャップ膜
- 30…シリコン窒化膜
- 31…BST膜
- 32…プレート電極（上部電極）
- 33…PLキャップ膜
- 34…層間絶縁膜
- 52…ストッパシリコン窒化膜
- 53…BPSG膜
- 54…レジスト

55...TEOS酸化膜

56...レジスト

92...SN電極

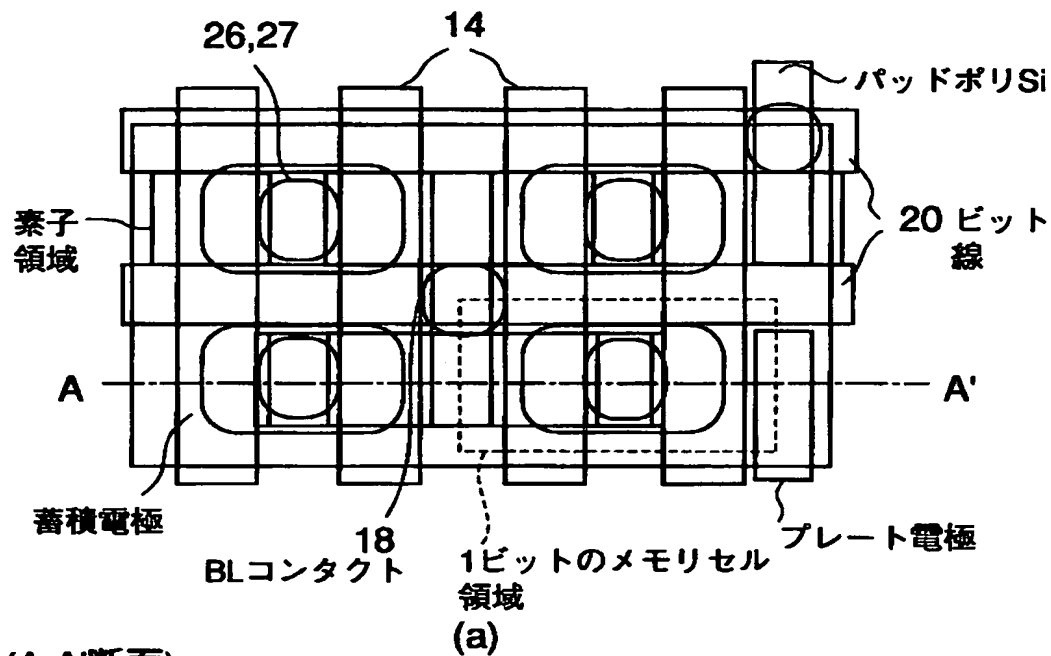
93...SNキャップ膜

94...BST膜

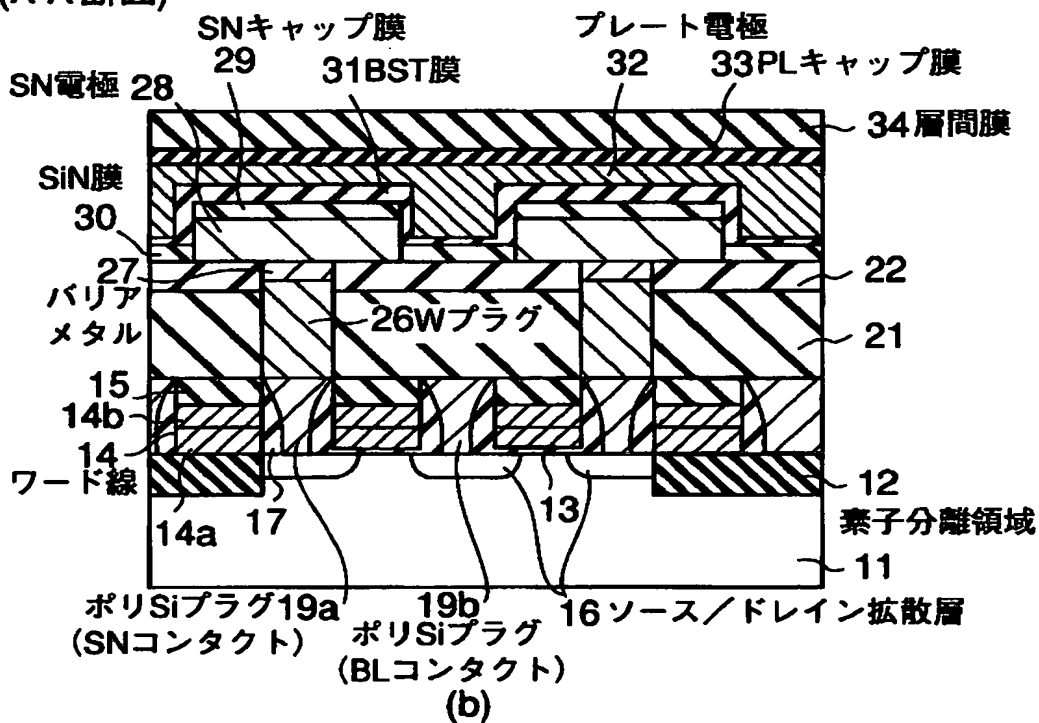
95...プレート電極膜

【書類名】 図面

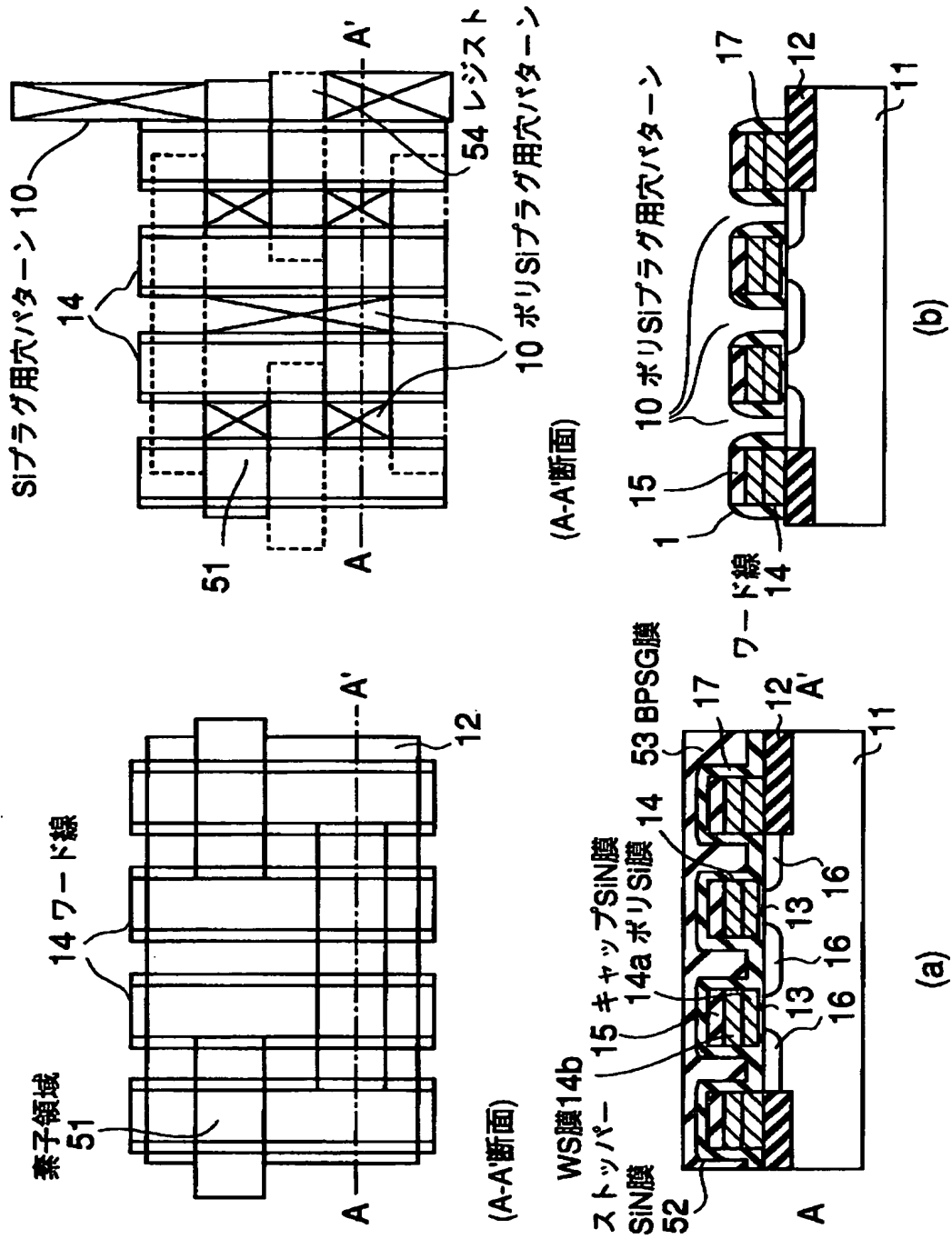
【図 1.】



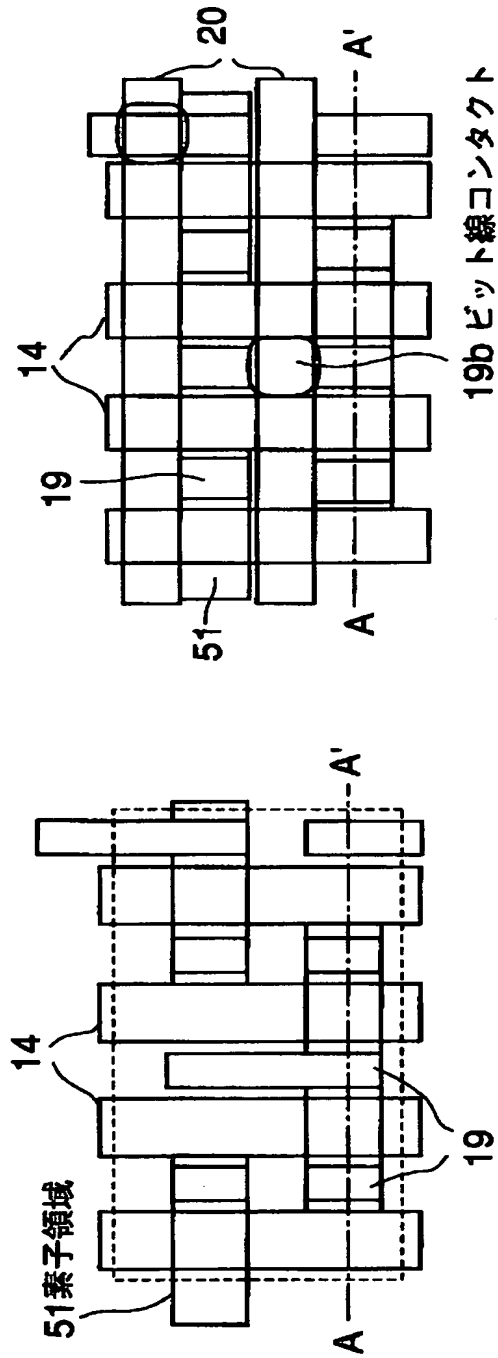
(A-A'断面)



【図2】

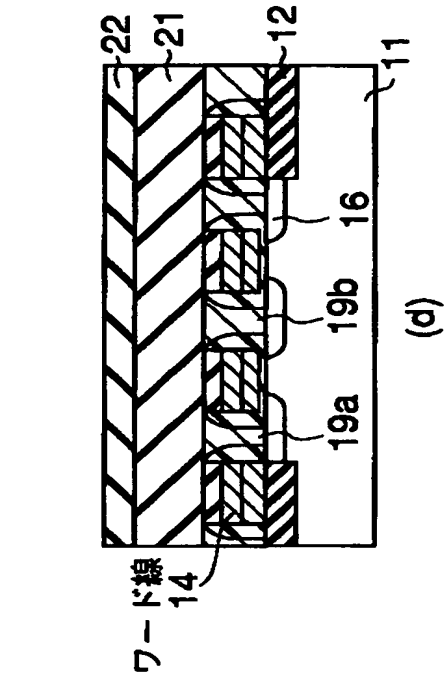


【図3】

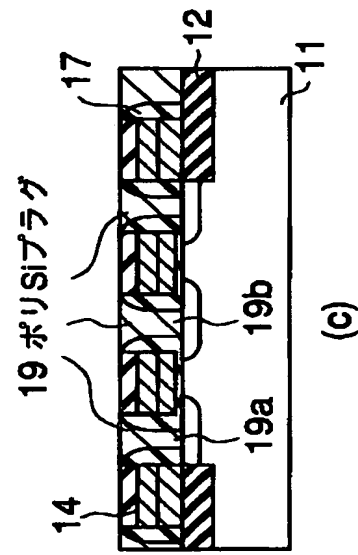


19b ビット線コンタクト

(A-A'断面)

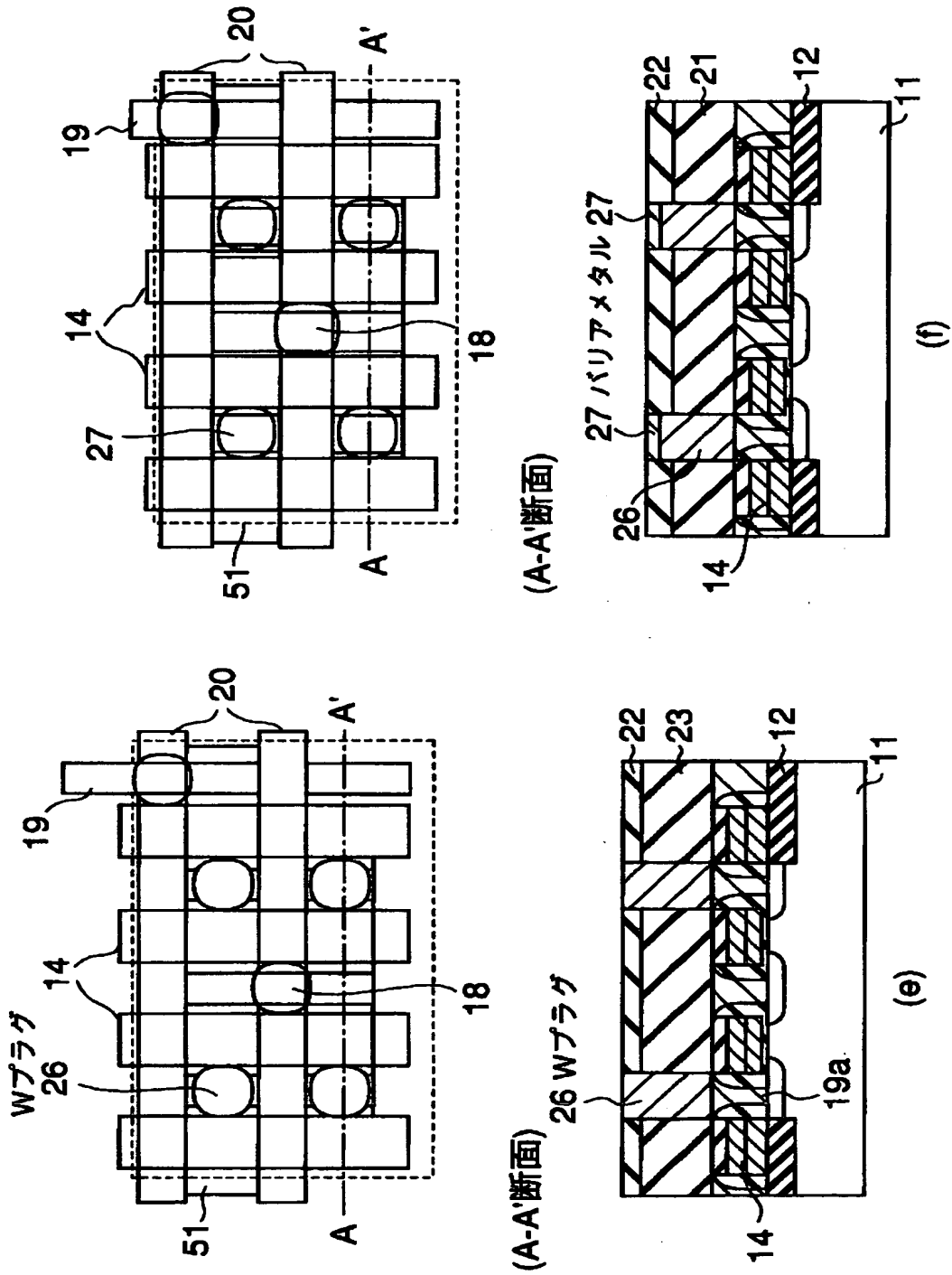


(d)

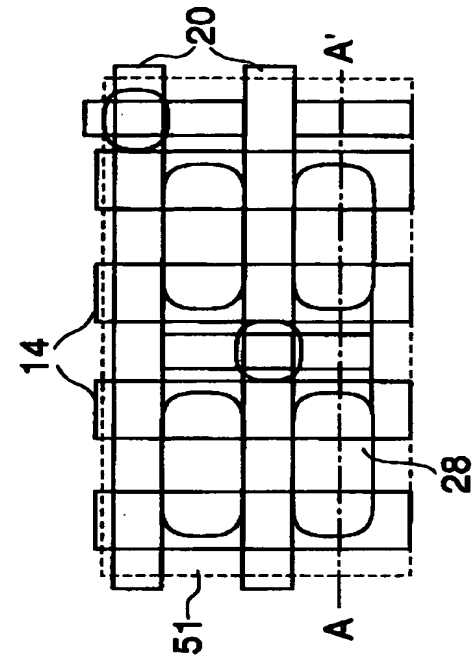


(c)

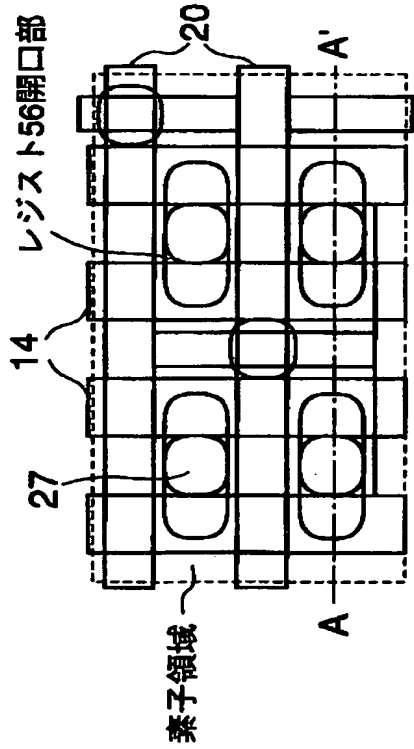
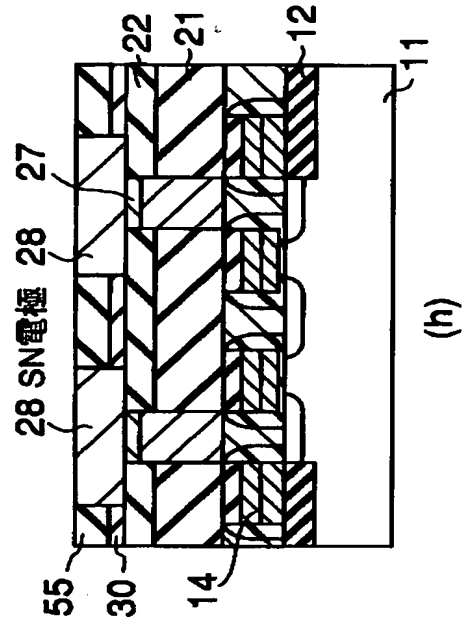
【図 4】



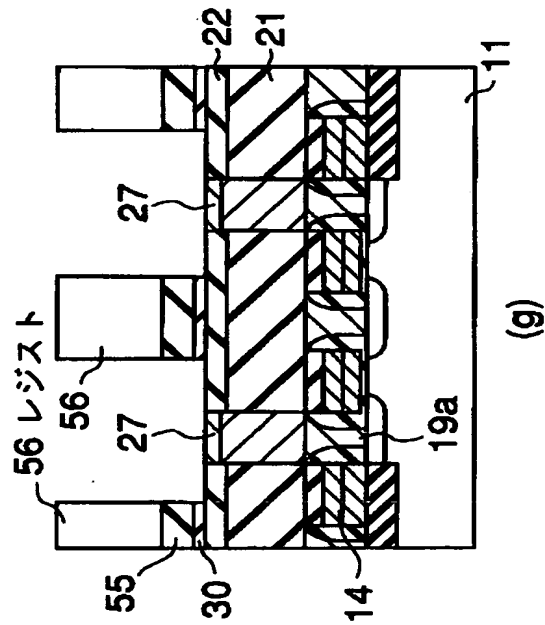
【図5】



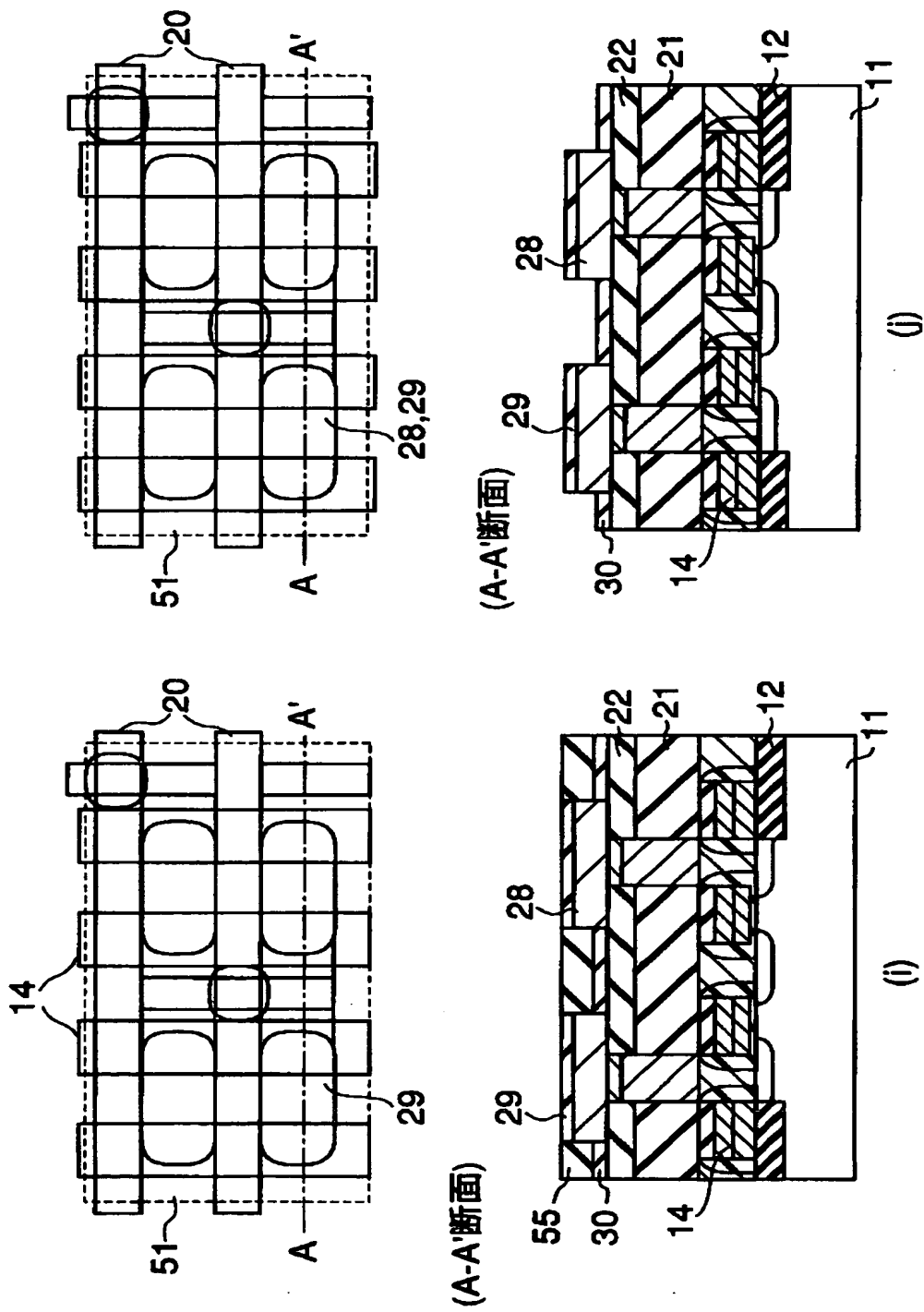
(A-A'断面)



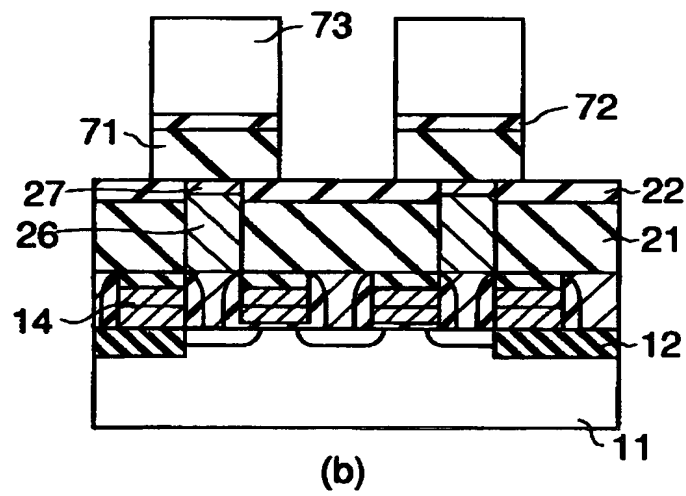
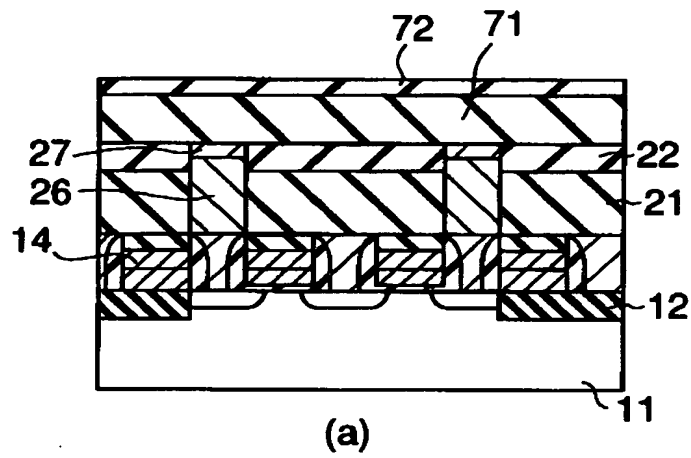
(A-A'断面)



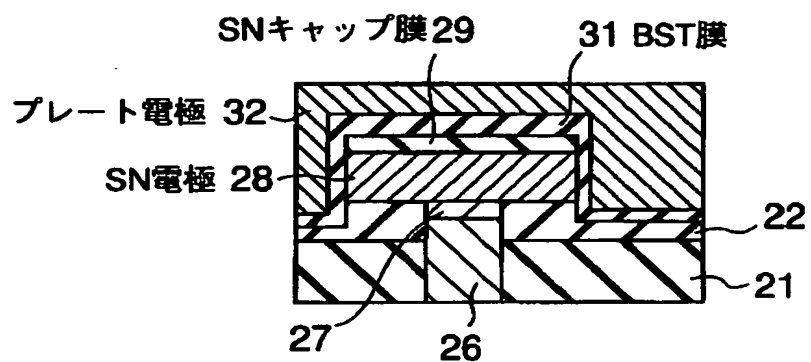
【図 6】



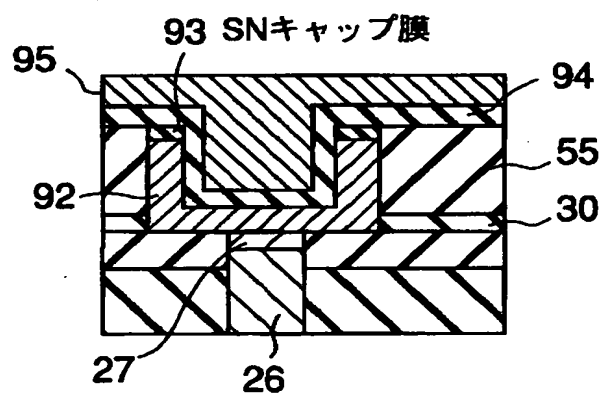
【図 7】



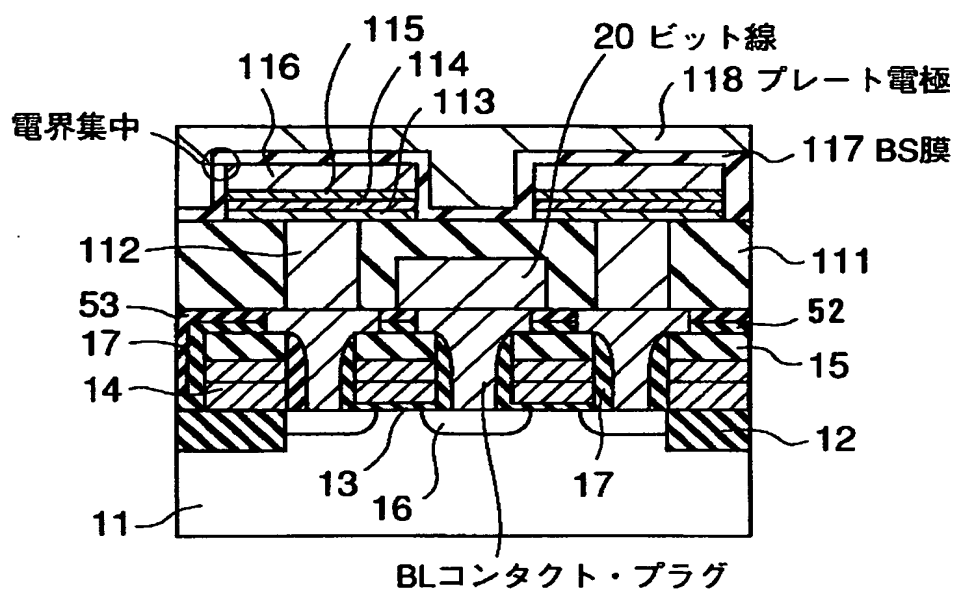
【図8】



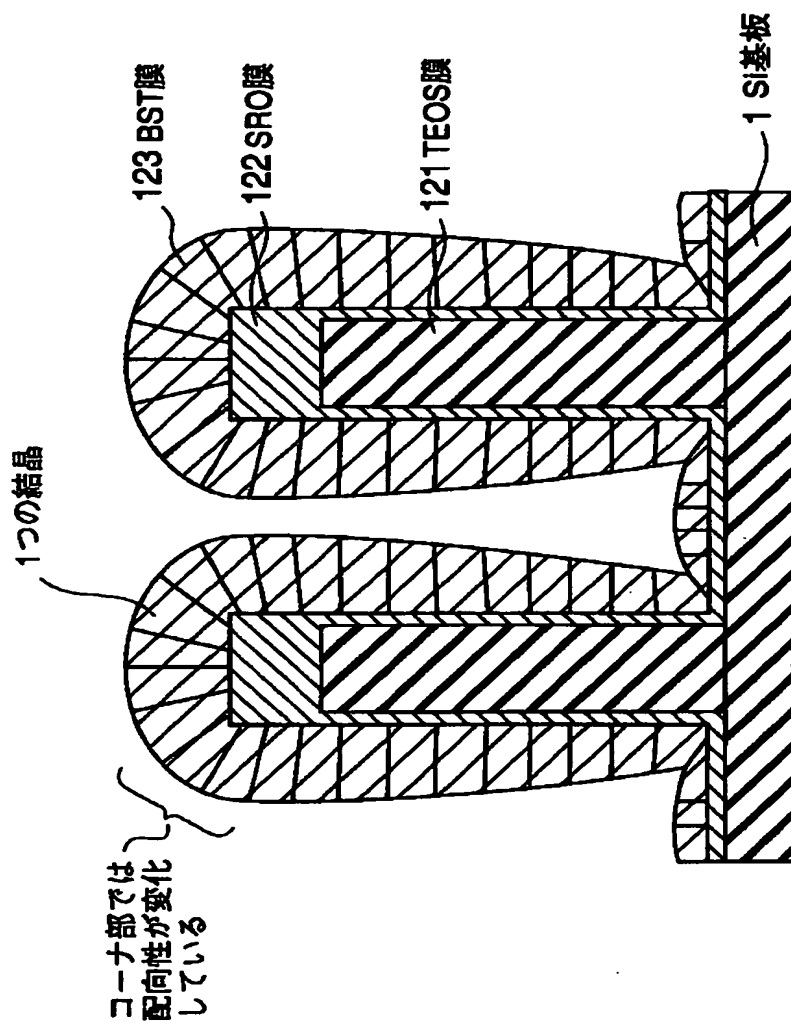
【図9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 凸状の S N 電極と、この S N 電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された蓄積電極とを含むスタック型のキャパシタセルにおいて、S N 電極の上端部の鋭角なコーナーでの電界集中を抑制する。

【解決手段】 凸状の S N 電極と、この S N 電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された蓄積電極とを含むスタック型のキャパシタセルを具備する半導体装置において、前記 S N 電極の蓄積表面と前記キャパシタ絶縁膜との間に、該キャパシタ絶縁膜と異なる絶縁体材料から構成された S N 電極キャップ膜が形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝